

Tektronix®

泰克云上
大讲堂

忆阻器的发展 及测试方案



5月25日 (周四) 14:30-16:00

泰克云上大讲堂 & 高速接口发展与技术论坛



关注“泰克科技”服务号
查看产品资料&往期回放~



往期主题回顾

PCIe链路问题分析和实际仿真

如何测试纳米材料及纳米电子器件的IV和CV性能?

深度解析IC/CV参数测试难题

零基础学仪器编程

轻松上手你的KEITHLEY源表

电源环路响应测试方案详解

深入浅出剖析高速信号的抖动和眼图

纳米发电机测试难点及解决方法

最新USB4规范解析及一致性测试

.....



加入“泰克半导体直播交流讨论群”

只要你问，只要我有



由泰克工程师小助手邀请入群~

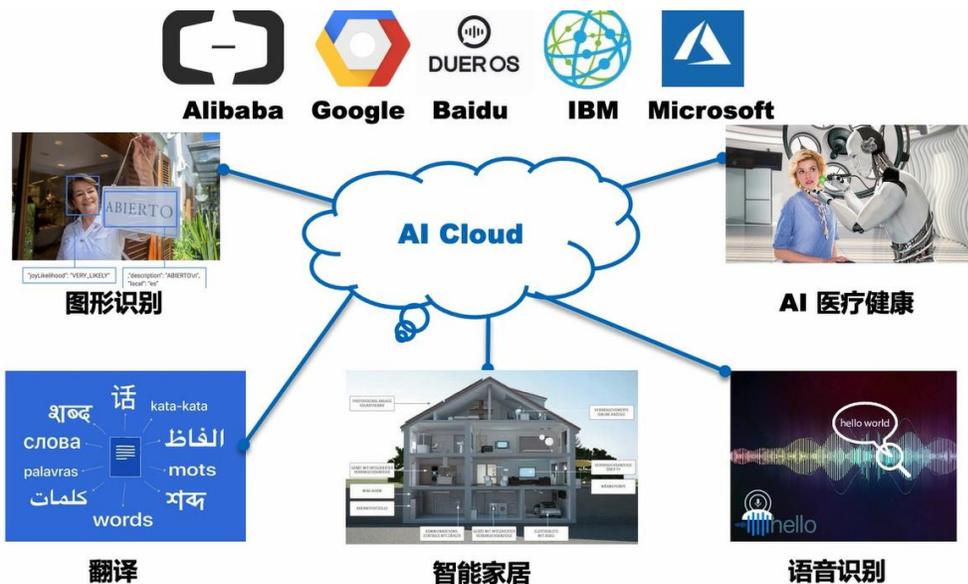
(将于本场直播结束后统一邀请)

忆阻器的发展

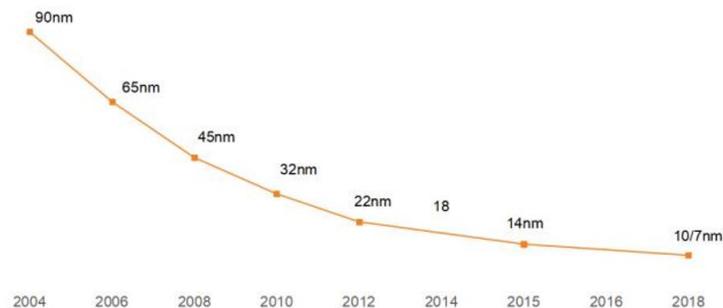
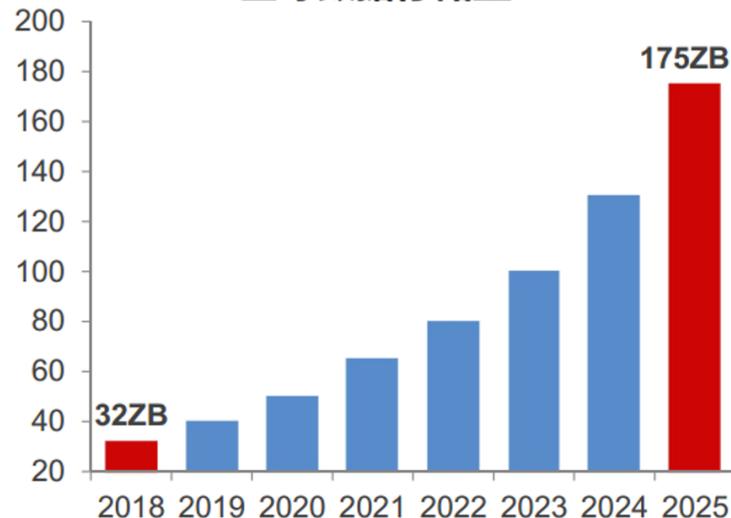
智能化时代，摩尔定律如何继续？

- 算力面临极大挑战

- 算力不足
- 能效过低



全球数据存储量



中国数据统计网

智能化时代，数据量指数型增长，摩尔定律是否还可以满足人们对数据需求的增长？

冯·诺依曼架构瓶颈？



摩尔定律已经不能满足当前的数据处理需求了，元器件的物理尺寸已经接近极限。

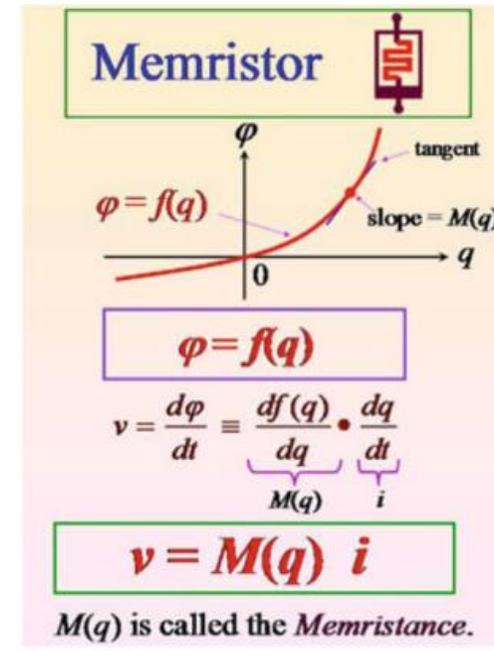
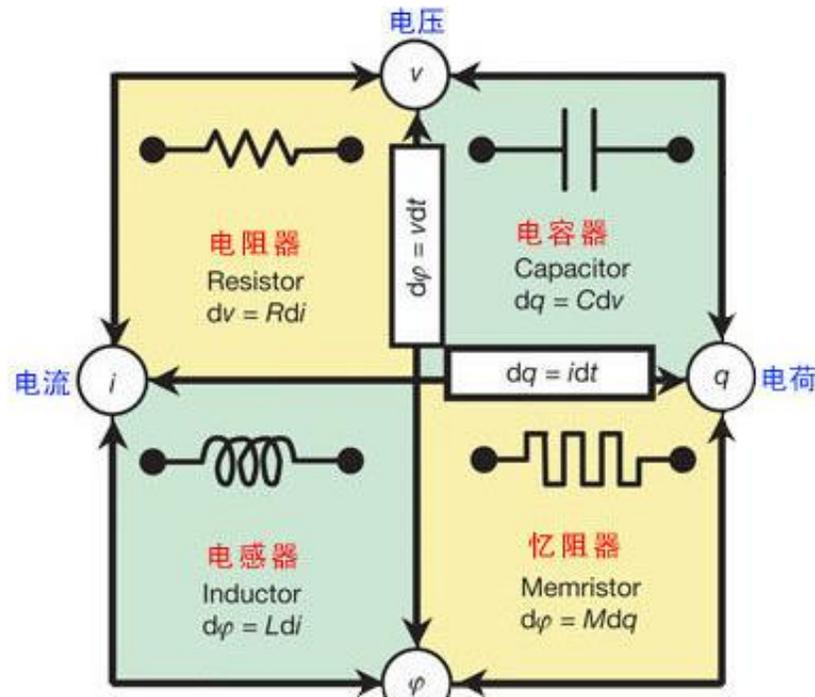
1. 存储及数据搬运极大的限制了计算性能的提升和功耗的降低；
2. 信息系统的架构将转向以数据为中心的计算（存算一体）

忆阻器 (Memristor) 的概念



蔡少棠

1971年华裔科学家，加州大学伯克利分校蔡少棠教授从电路完整性角度出发，从数学上推导出给出忆阻器的概念。



忆阻器是一种具有电荷记忆功能的非线性电阻。

忆阻器的发展历程

★ 2006年 HP 实验室证明了 Crossbar RRAM, 并于2008年在《Nature》上发表。

预言期

忆阻器理论还没有出现，科研人员观测到了该种现象，直到1971年蔡少棠教授在《Circuit principle》中报道，理论上肯定了忆阻器的存在。

质疑期

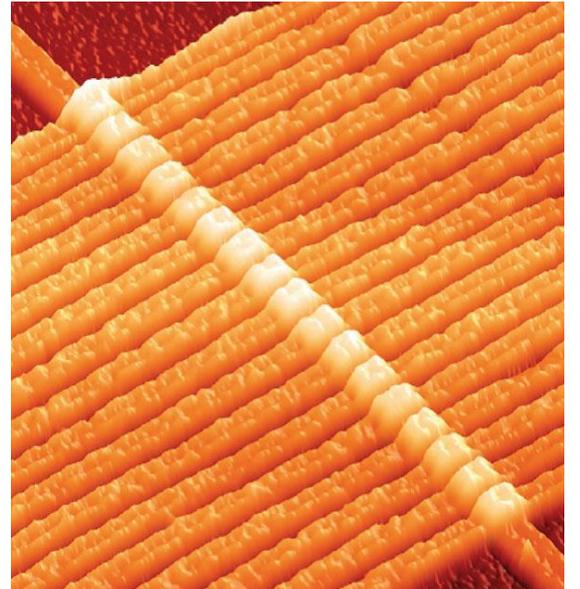
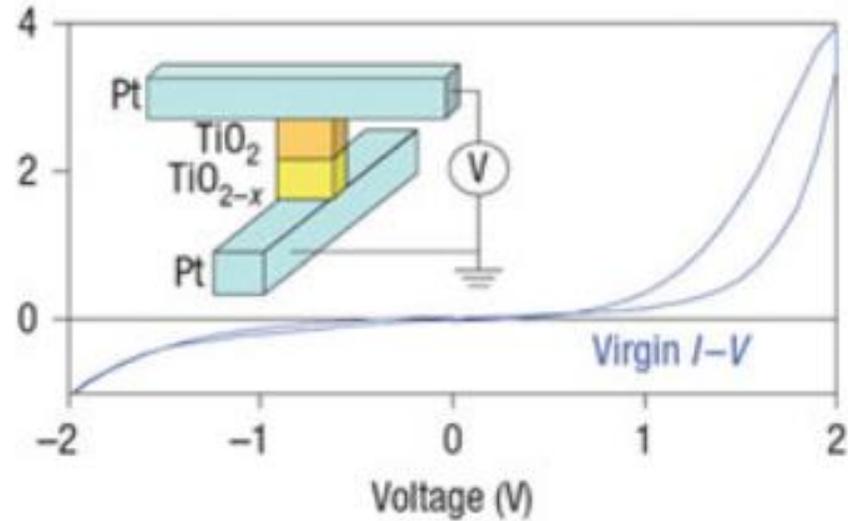
1971——2000年传统存储器在工艺上和摩尔定律符合的很好，一直在刷新着自己的存储极限，人们认为没有必要花费时间和金钱去研究忆阻器。

明朗期

2000-2008年 A Beck等人在Cr掺杂的SrZrO₃中观察到忆阻滞回曲线，并指出器件具有储存功能。HP公司2008年在Nature上报道了“下落不明的忆阻器找到了”。

高潮期

2008年HP公司制备出忆阻器，科学家们意识到忆阻器的优势和作用，全世界相关科学家都纷纷参与到忆阻器的研究中来，忆阻器研究高潮就此到来。



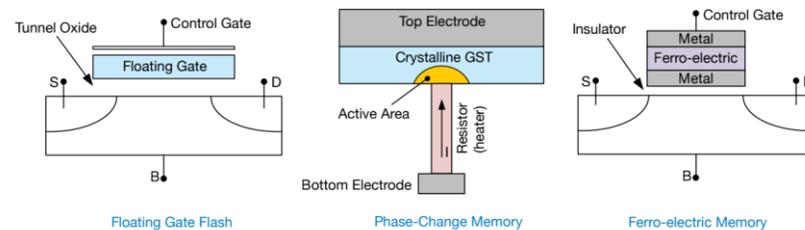
Crossbar Architecture: A memristor's structure, shown here in a scanning tunneling microscope image, will enable dense, stable computer memories. *Image: R. Stanley Williams/HP Labs*

忆阻器的测试问题及流程

忆阻器重要应用领域

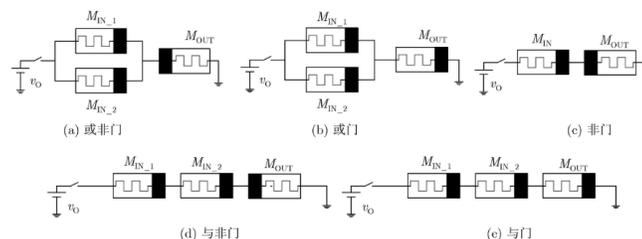
1

非易失性存储 (Nonvolatile memory)



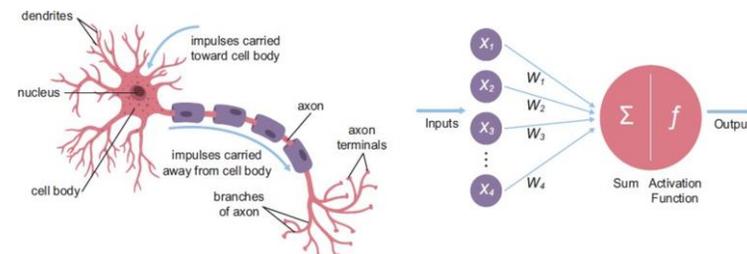
2

逻辑运算 (Logic computing)



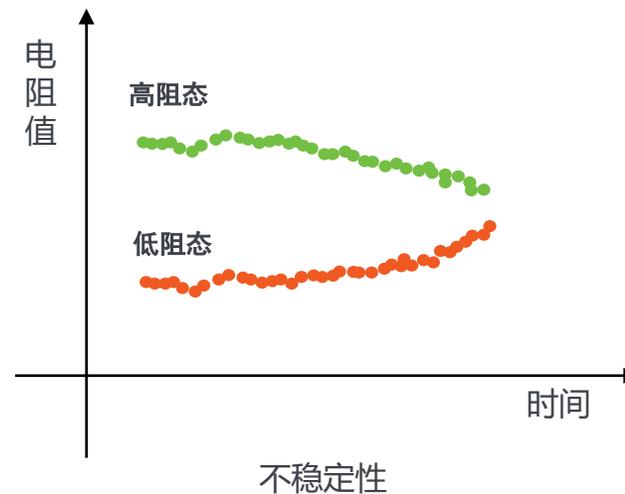
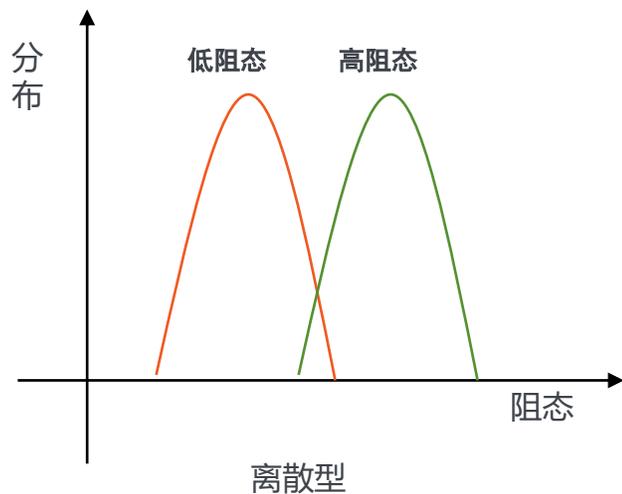
3

类脑神经形态计算 (Brain-inspired neuromorphic computing)

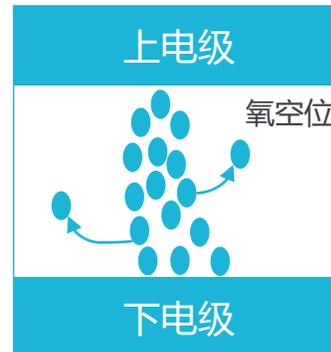


忆阻器面临的问题

忆阻器件性能存在**离散性**和**不稳定性**的挑战，严重影响计算精度。



离散性：
器件中离子
运动的随机
性。



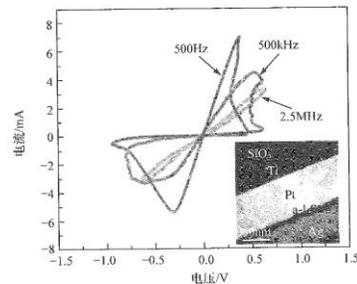
不稳定性：
器件中离子
分布形貌的
弛豫效应。

忆阻器测试分类

1

忆阻器参数表征、分类及测试流程

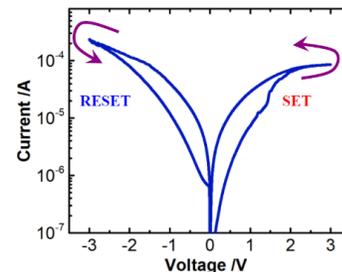
通过捏滞回线判断是否具有忆阻特性。



2

忆阻器基础研究测试

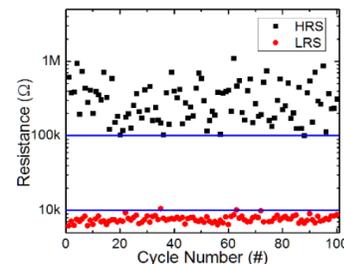
分析器件在相应的交流、直流、脉冲电信号作用下的忆阻特性。



3

忆阻器性能研究测试

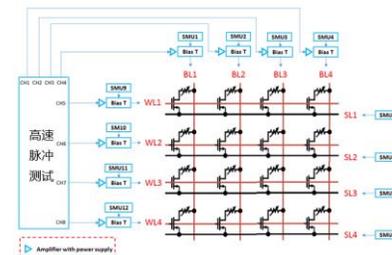
提高忆阻器存储性能和模拟神经元的性能，如：功耗、擦写速度、集成度和可靠性等各方面。



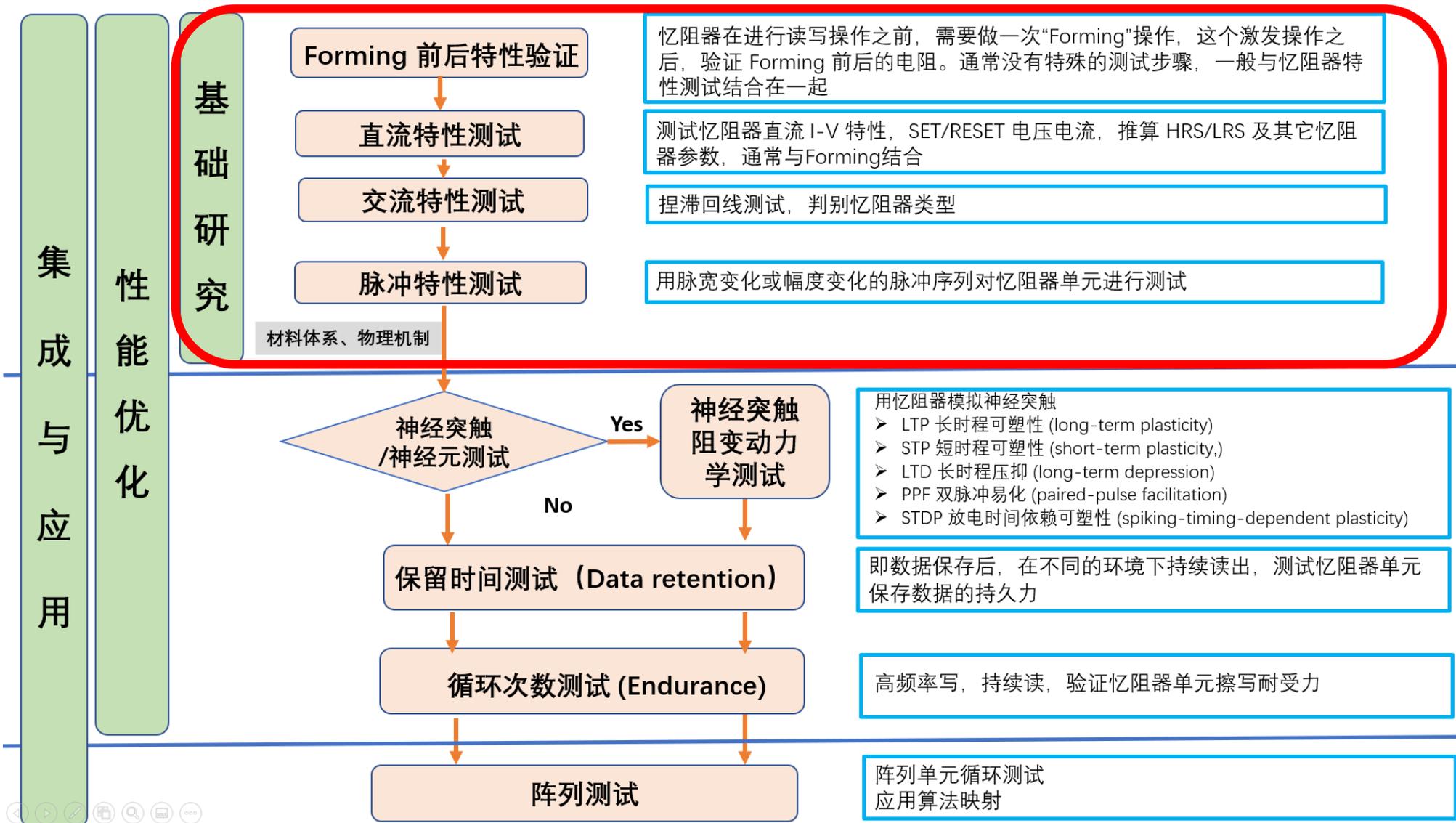
4

忆阻器集成及应用研究测试

如1T1R、1TNR等cell及阵列结构的测试



忆阻器研究测试流程



忆阻器的测试

忆阻器的基础研究测试

直流特性

- Forming

- 忆阻器件要想实现高低阻态切换的功能,必须在这之前对其进行一次激发阻变材料的操作,这个激发操作之后,忆阻器件才具有正常的忆阻特性

- SET

- 忆阻器由高阻态(HRS "0")转变到低阻态(LRS "1")的过程

- RESET

- 忆阻器由低阻态(LRS "1")转变到高阻态(HRS "0")的过程

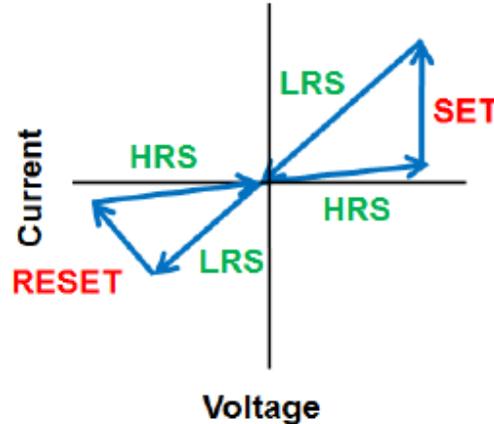


TABLE I
SWITCHING PARAMETERS FOR METAL-OXIDE MEMRISTORS

Parameter	Devices	TaO _x	HfO _x	TiO _x	Parameter variance
HRS	(mean)	10kΩ [9]	300kΩ [20]	2MΩ [21]	±20%
LRS		2kΩ	30kΩ	500kΩ	±10%
V _{tp}		0.5V	0.7V	0.5V	±10%
V _{tn}		-0.5V	-1.0V	-0.5V	±10%
t _{swp}		105ps	10ns	10ns	±5%
t _{swn}		120ps	1μs	10ns	±5%

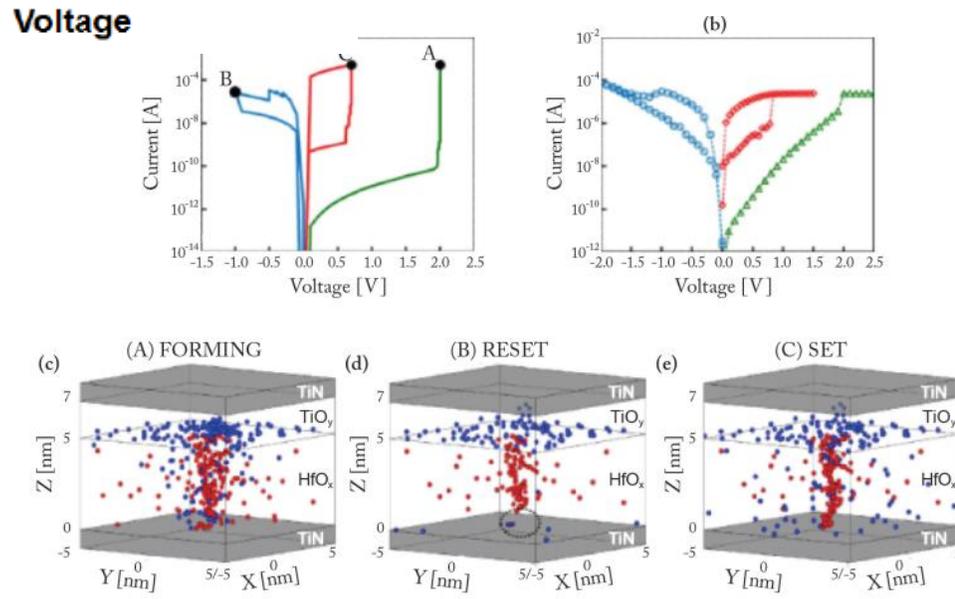
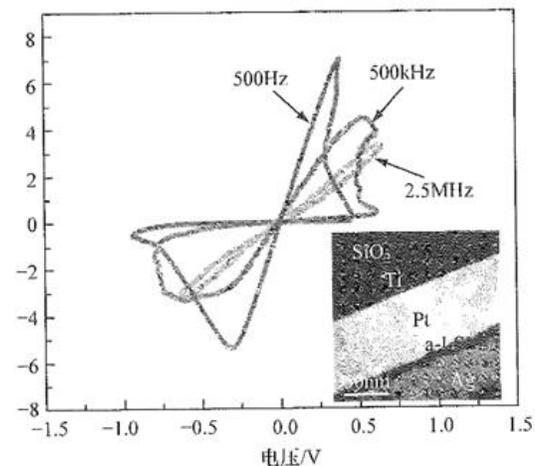


Figure 3.8: Simulated forming-reset-set process for a TiN/Ti/HfO_x/TiN RRAM device using the 3D KMC simulator. (a) Simulated (b) experimental I-V characteristics. Vo (red) and O²⁻ (blue) distributions at the end of (c) forming, (d) reset, and (e) set operations. Adapted from [64].

忆阻器的基础研究测试

交流特性

- 1971年，蔡绍棠教授推导出两类理想忆阻器公式
 - $v(t)=M(q(t))i(t)$ - 电荷控制型理想忆阻器，或电流控制型理想忆阻器
 - $i(t)=W(\varphi(t))v(t)$ - 磁通控制型理想忆阻器，或电压控制型理想忆阻器

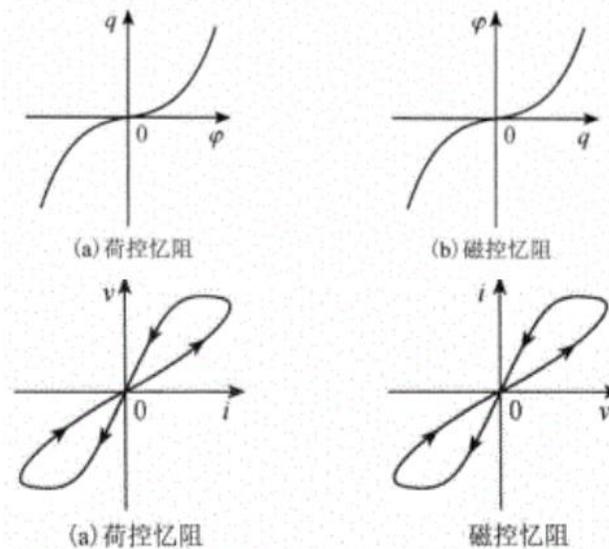


• 捏滞回线

- 对理想忆阻器施加任意周期性电压（电流）信号，然后将激励电压（电流）和响应电压（电流）作图，得到的李萨如曲线是一个斜“8”字形的紧捏型迟滞回线（Pinched hysteresis loop）

• 忆阻器判据

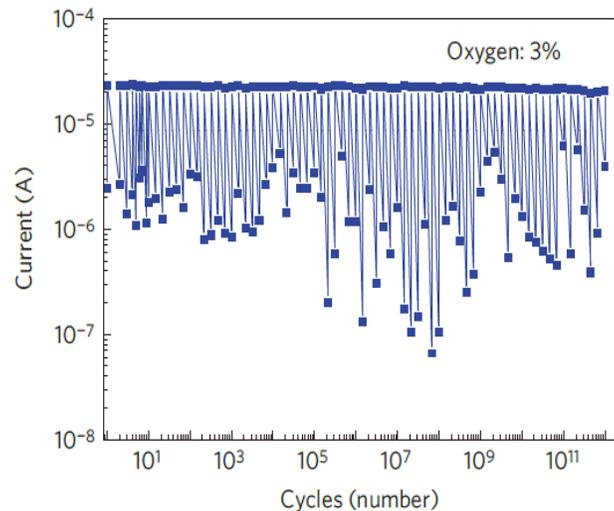
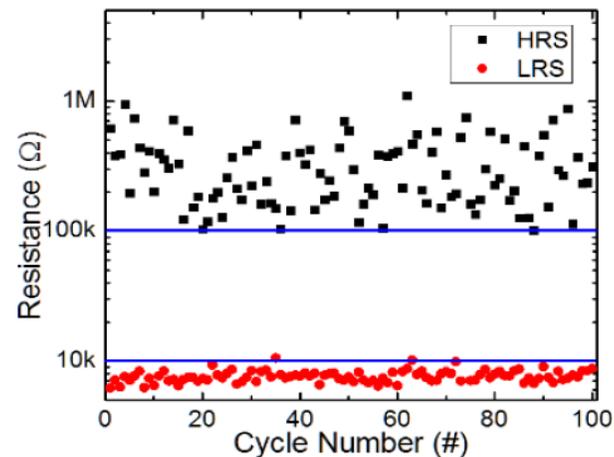
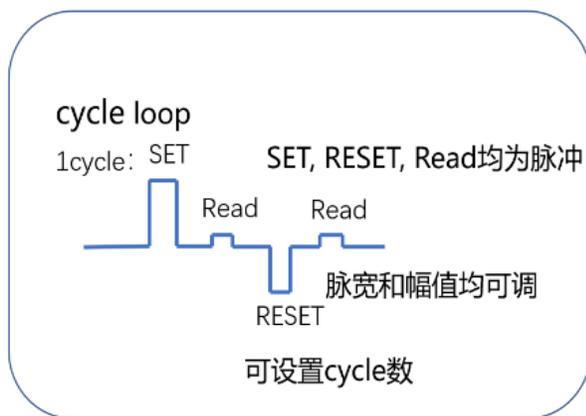
- 在双极性周期电信号激励下，器件在V-I平面的点特性为一个捏滞回线
- 当电信号扫描频率增大时，捏滞回线波瓣面积持续减小
- 当扫描频率趋近无穷大时，捏滞回线收缩为一条单值函数



忆阻器的性能测试

循环次数测试 CELL ENDURANCE TEST

- 是对忆阻器进行高频率写，持续读，同时测试忆阻器高、低阻态的变化
 - 对数字型忆阻器，还可以测试误码率
 - 当测试结果超过预设的门限时，读写的总次数即为循环次数。
- 要准确评估器件的循环次数，需要对每次擦写后的电阻进行读取
 - 单器件需要 10^{12} 以上的切换，每次读写切换要消耗大量的时间
- 电阻测试通常由带脉冲功能的半导体参数测试仪完成测试
 - 需要进行自动化测试序列测试
 - 极端化表征需高速脉冲测试



忆阻器的性能测试

忆阻器数据存留测试 DEVICE RETENTION TEST

- 由于忆阻器机理研究还处于百家争鸣的状态，尚未建立统一的测试规范
 - 传统存储器指标：85°C温度下保持十年的寿命
 - 主要基于高温老化（200 °C）测试法
 - 通过电阻阻值外延法和阿列纽斯方程（Arrhenius Equation）推导其数据保留时间
- 忆阻器数据保留时间测试流程
 - 随机挑选适当数量的样品进行高低阻态编程
 - 样品放入设定好温度的高温烤箱中烘烤一定时间
 - 取出样品冷却后读取电阻值
 - 继续重复2) ~3) 步骤，直至失效样品达到预设的百分比
 - 计算推导忆阻器数据保留时间
- 测试仪器将完成设置电阻与测量电阻的任务
 - 需自动化完成测试

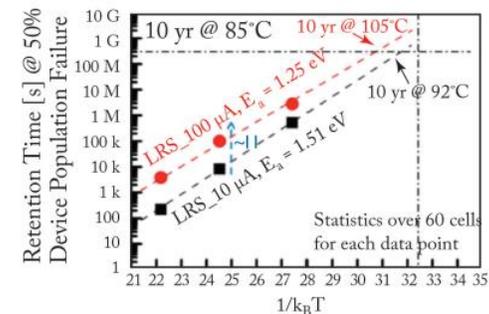
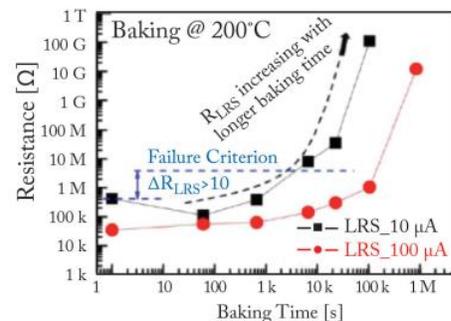


Figure 2.9: (a) Temperature-accelerated retention test for IMEC's HfO_x -based RRAM at 200°C (b) Arrhenius plot of retention time to failure at three temperature 250°C, 200°C, and 150°C. An activation energy ($E_a \sim 1.5$ eV) was extracted for cells with compliance current = 10 μA . Adapted from [44].

忆阻器(NVM类)基础/性能测试需求

NVM类型	脉冲电平值	脉冲波形保真度	多电平脉冲需求	多通道同步
Floating Gate Flash	15–20 V+	脉冲波形的极小过冲	写入和擦除需要双极性脉冲	新兴需求
PRAM	~±8 V	上升下降波形的不对称性、需要≤20 ns fall time进行RESET,数十ns到几百ns fall time进行结晶	单极性, 多电平脉冲进行reset-measure-set-measure	1T1R需要
ReRAM	~±6 V	精确的脉冲电平和跃迁控制允许离子传输或者细丝的形成	即需要单极性脉冲又需要双极性脉冲	1T1R需要
FeRAM	~±5 V	脉冲控制极化	双极性脉冲进行读写操作(PUND)	1T1C需要

忆阻器基础研究测试方案一

关键参数：
AFG31XXX：
脉冲频率最高160MHz
脉宽3ns~999.99s

AC测试
高速脉冲测试



信号源

DC测试
脉冲测试

关键参数：
2600B系列：
最小可编程脉宽100us



SMU

RRAM DUT
置于探针台

DUT

AC测试
高速脉冲测试

示波器



Amplifier

三通

TIA

电源

- 现阶段科研人员多数以DC测试为主
 - 已经有源表
 - 建议26系列增加脉冲
 - 建议 AC 和脉冲测试

忆阻器基础研究测试方案二

4200A(SMU&PMU)



已经有 4200A
 建议增加 PMU
 建议 增加 AC 测试
 建议增加高速脉冲测试

Resistive Nonvolatile Memory Characterization Project (resistive-nvm-examples)

This project characterizes resistive memory (ReRAM) cells.

Required equipment

- PMU
- Two SMUs
- Two RPMs

Phase-Change Nonvolatile Memory Characterization Project (phase-change-nvm-examples)

This project characterizes phase-change memory cells using pulse I-V.

Required equipment

- PMU
- Two SMUs
- Two RPMs

Ferroelectric Nonvolatile Memory Characterization Project (ferroelectric-nvm-examples)

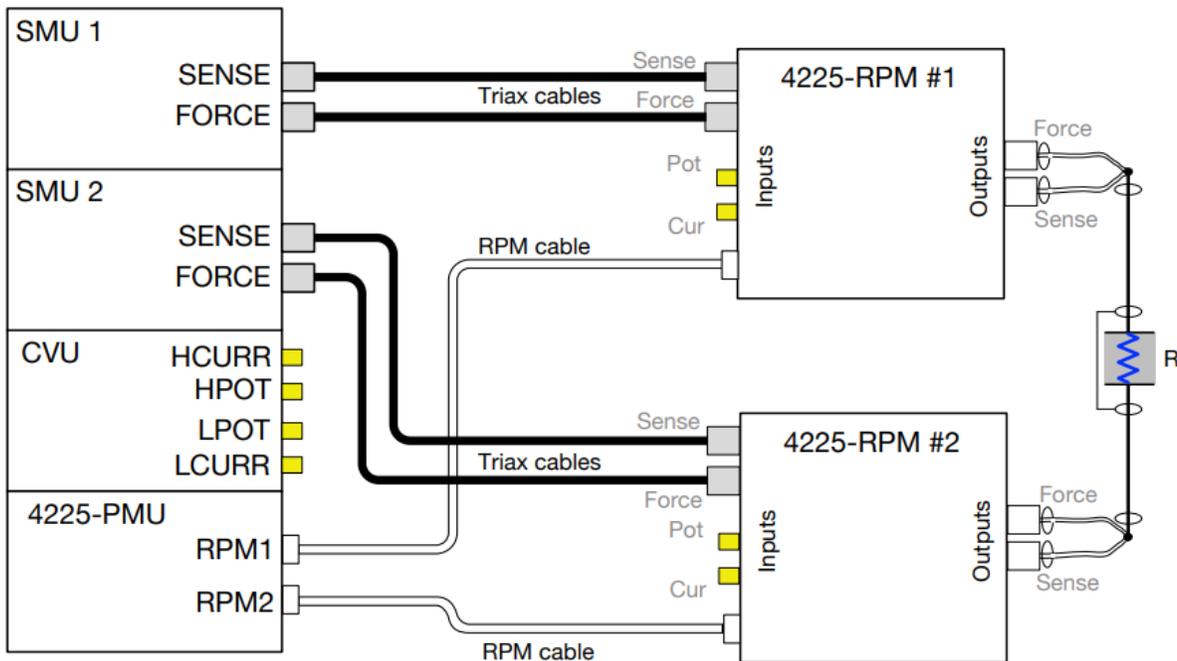
This project characterizes phase-change memory cells using pulse I-V.

Required equipment

- PMU
- Multiple SMUs
- Two RPMs

硬件	特性(IV)
SMU*2	± 210 V/100 mA 或 ± 210 V/1 A 0.2 μV, 100 fA (Without PA) 0.2 μV, 10 aA (With PA)
PMU	±40 V (80 V _{p-p}), ±800 mA
RPM*2	10mA extend to 100nA&切换开关

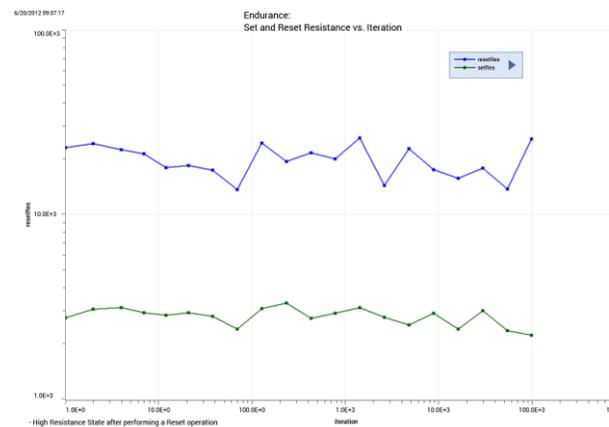
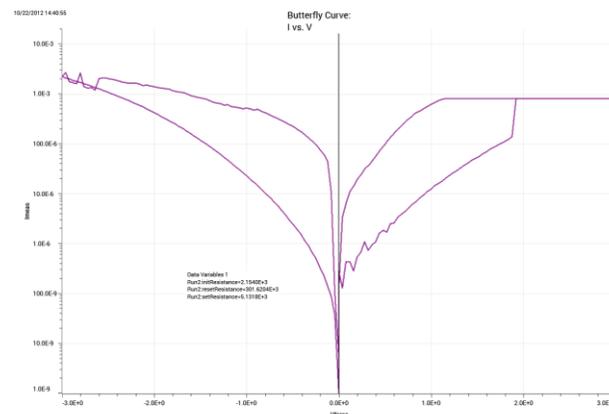
非易失性存储器测试流程 (举例ReRAM)



测试连接示意图

测试流程:

1. Forming-初始化, 形成初始状态。
2. 测试IV曲线(butterfly)。
3. Endurance测试。

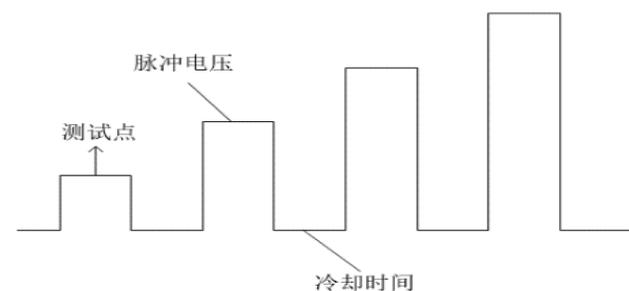
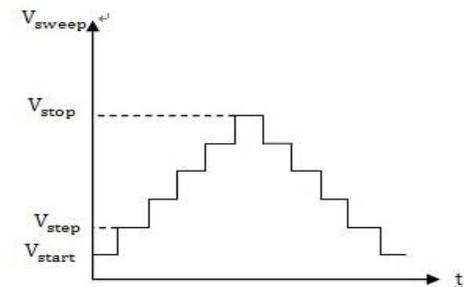
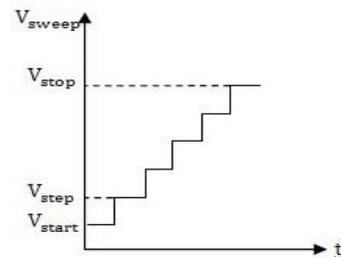
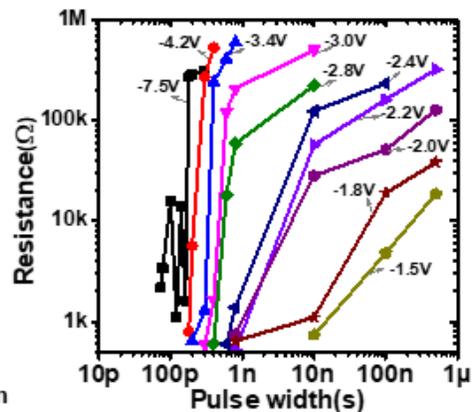
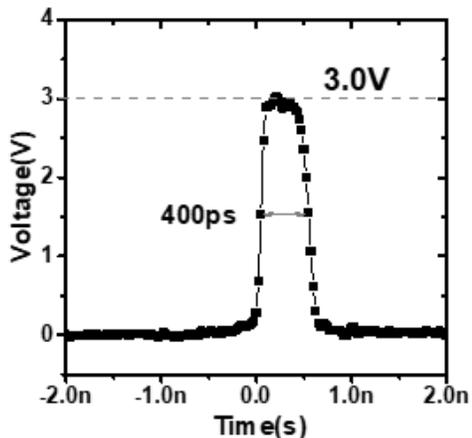
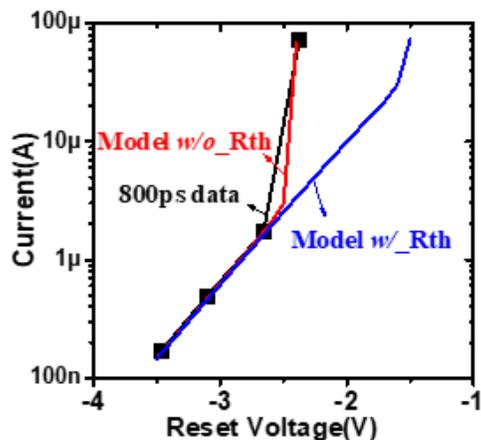
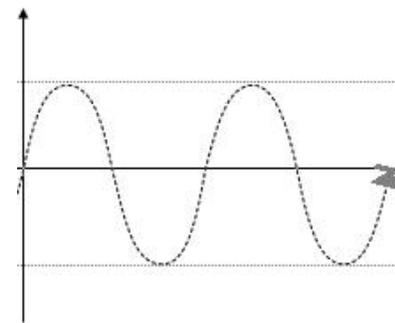


Create

Resistive Nonvolatile Memory Characterization Project (resistive-nvm-examples)
Characterizes Resistive Memory (ReRAM) cells.

忆阻器脉冲特性

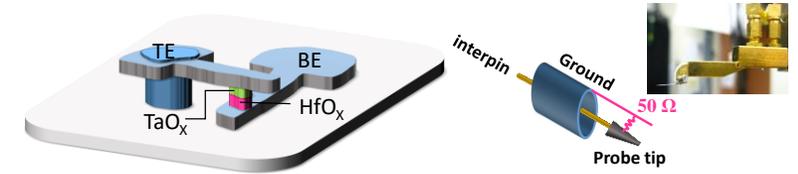
- 忆阻器直流特性曲线只能反映器件单元对电作用的影响，并不涉及热效应的问题
- 脉冲测试能有效地减小这种积累的焦耳热的影响
- 忆阻器表征技术正向极端化发展，皮秒级脉冲擦写及信号捕捉的需求日益强烈



忆阻器高速脉冲需求

• 高速脉冲 Set/Reset

- Device 速度性能
- 通过加长 set/reset 时间去除自热效应



解决方案	~50ns 脉宽 高性价比	<1ns 脉宽 高速 (需配放大器)	3ns 脉宽 低成本
硬件	4200A-SCS, 4200-SMU, 4225-PMU	AWG5200/70K MSO/DPO70000	AFG31000/ 4系示波器 5系示波器 6系示波器
软件	Clarius	Customized SW	Customized SW
脉宽 Typ.	70ns @ 10V, 200mA range	<1ns	80ns(AFG3102X) 20ns(AFG3125X)
最小脉宽	20ns	200ps (AWG5200), 20ps(AWG70K)	16ns(AFG3102X) 6ns(AFG3125X)
脉冲输出幅度	10V	0.75 Vp-p(AWG5200) 0.5 Vp-p(AWG70K)	4 Vp-p 50Ohm 8Vp-p 高阻
读取速度	200MSa/s	100GSa/s	依示波器型号
TIA	N/A	Opt. from FEMTO	N/A

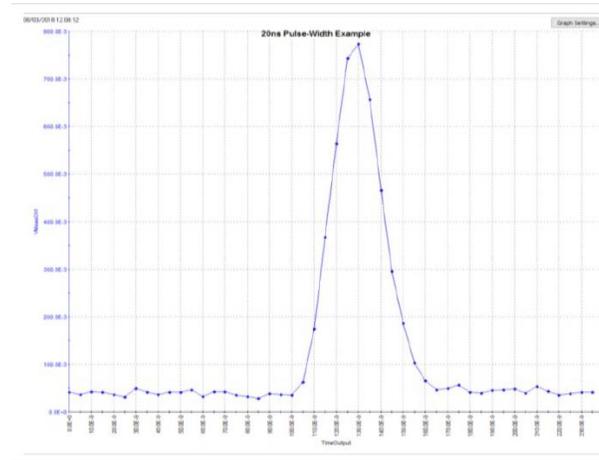
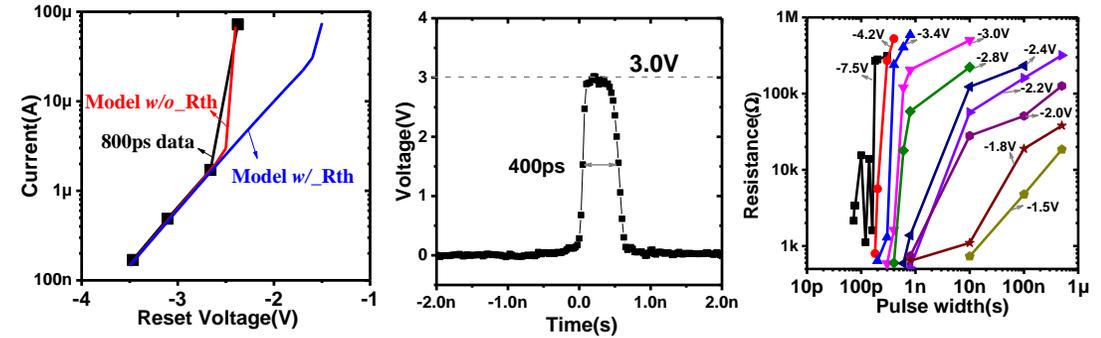


Figure 4: Measurement taken at 5 ns sample interval with the PMU.

200 ps Write1 Pulse Width



- KEI 4225-PMU
- Min 20ns pulse generating
 - Fast 200MSa/s (5ns interval) Reading

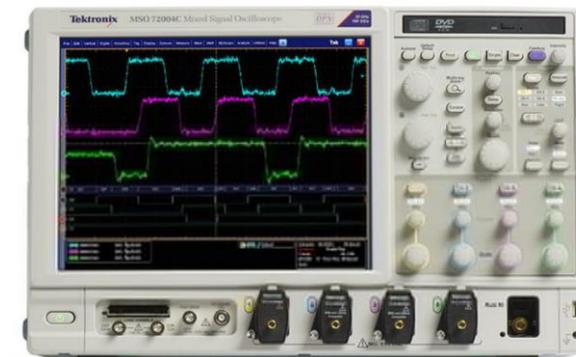
- TEK AWG5200,/70K MSO/DPO70000
- Min 200ps pulse generating
 - Fast 100GSa/s (10ps interval) Reading

忆阻器高速脉冲测试方案

AC测试
高速脉冲测试
性能测试

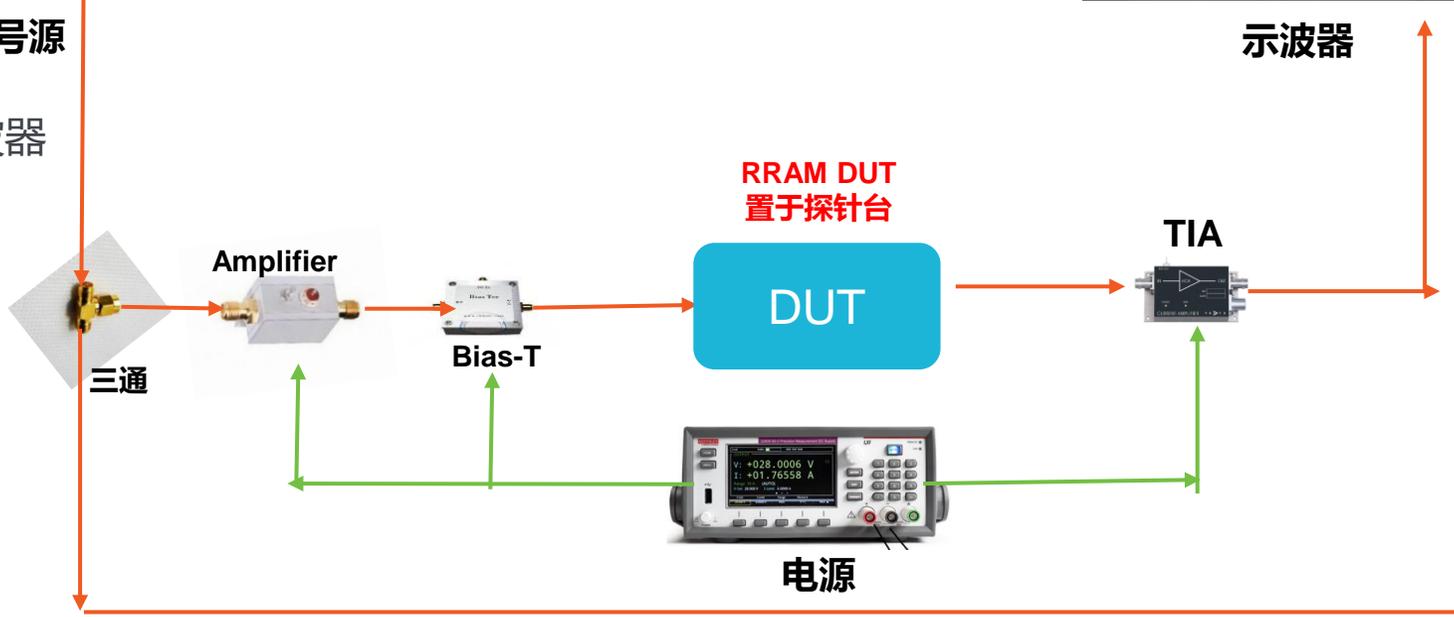


AC测试
高速脉冲测试
性能测试



信号源

- 高速性能用AWG和示波器
- 更高速脉冲ps级

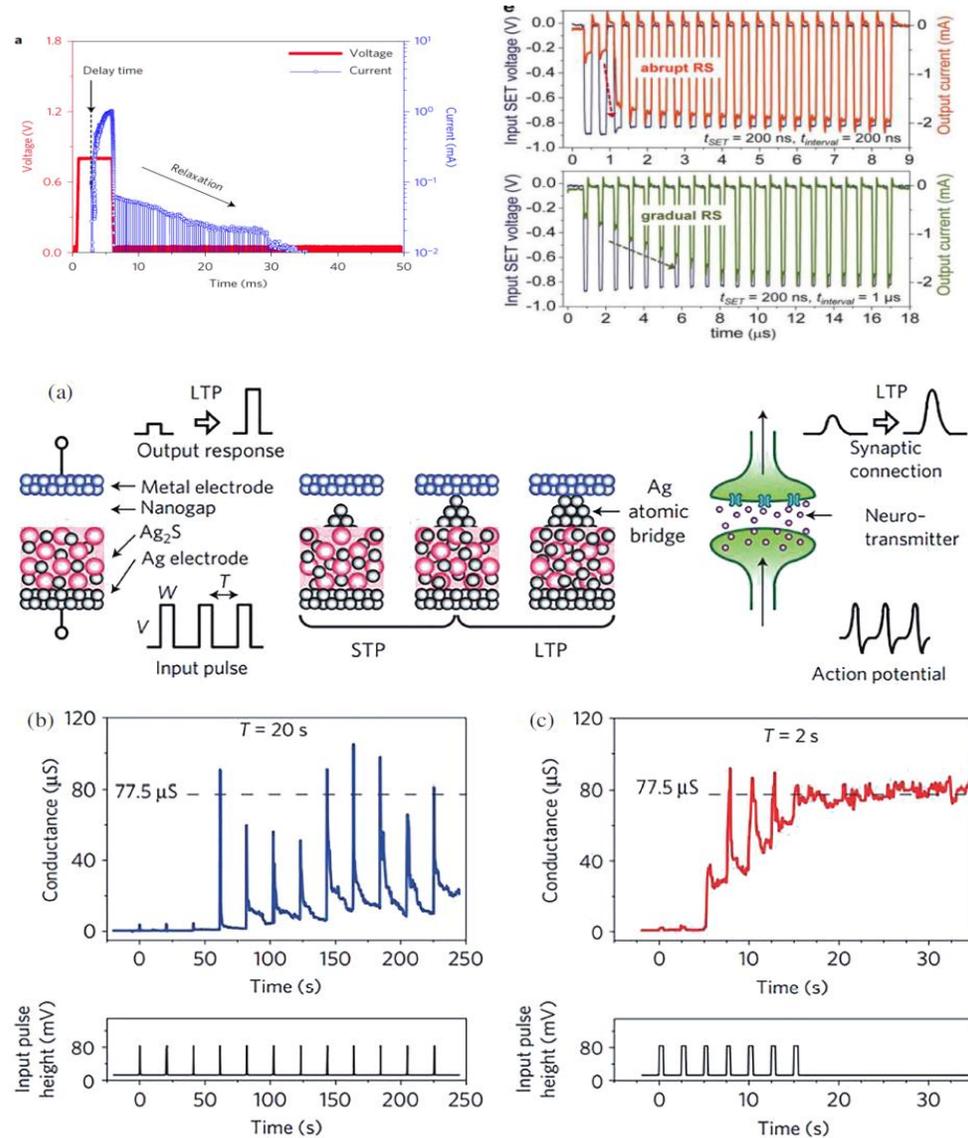
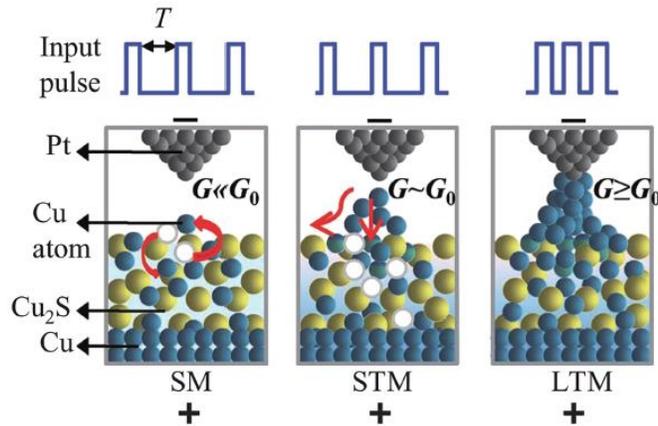
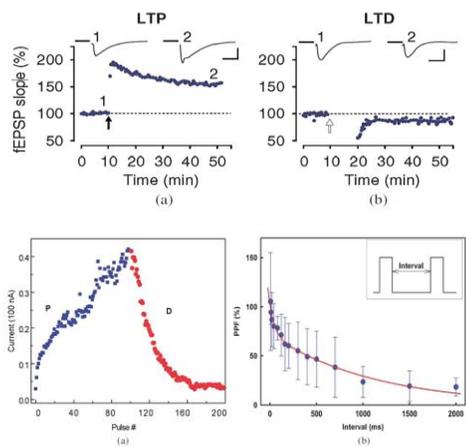


基于忆阻器神经元/神经突触性能测试

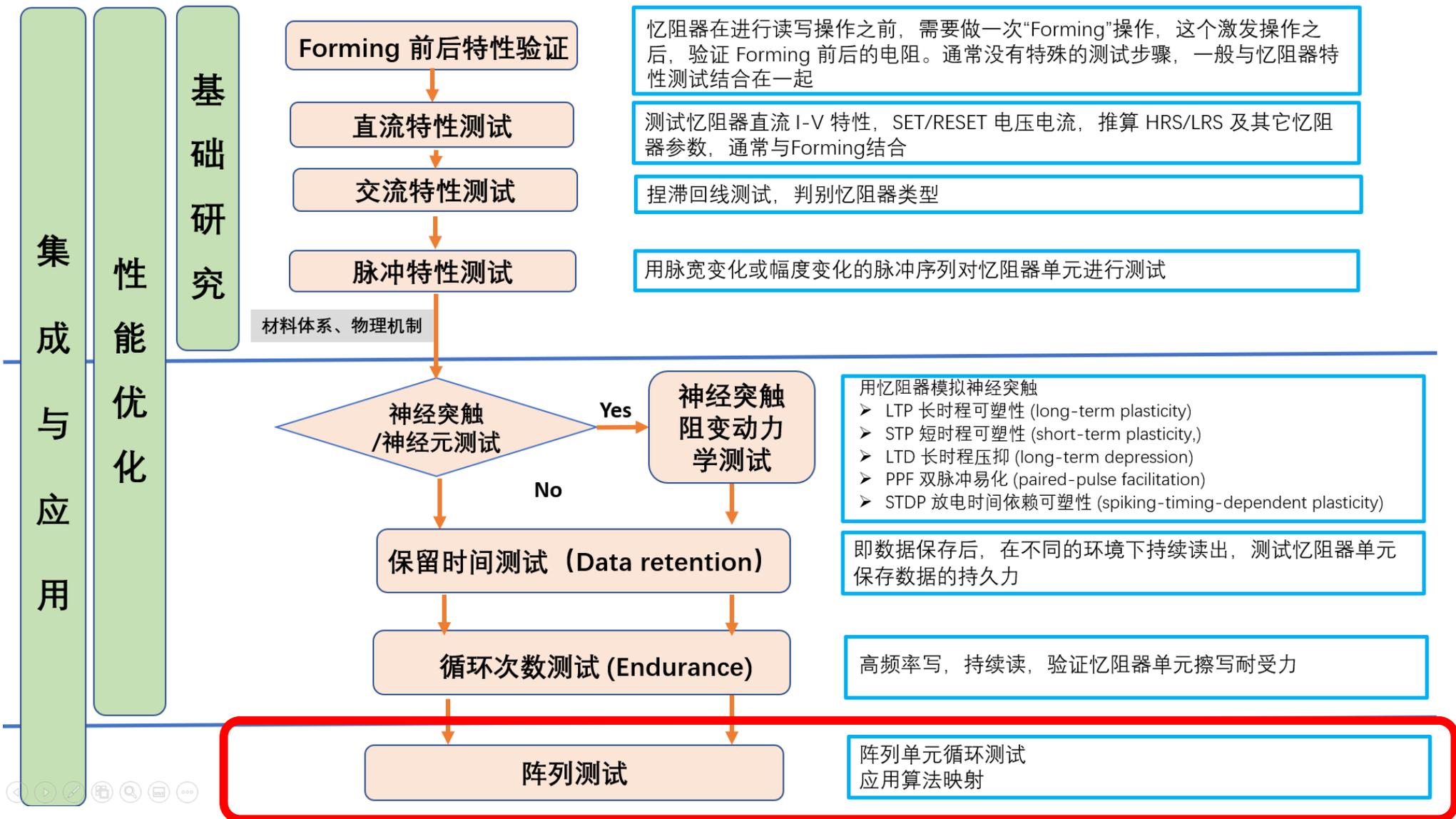
基于忆阻器神经突触阻变动力学测试

突触可塑性 (SYNAPTIC PLASTICITY)

- 通过改变施加在忆阻器上的刺激脉冲电压来模拟不同突触功能相应的神经刺激信号的特点
 - 改变脉冲的形状、频率、持续时间等参数
 - 测量瞬态电流可以了解阻变动力学过程
- 依然需要循环次数测试与数据保留测试
 - 测试方法与忆阻器非易失存储器相应测试相同
 - 脉冲序列依据神经元所需而改变



忆阻器研究测试流程



基于忆阻器的阵列原理

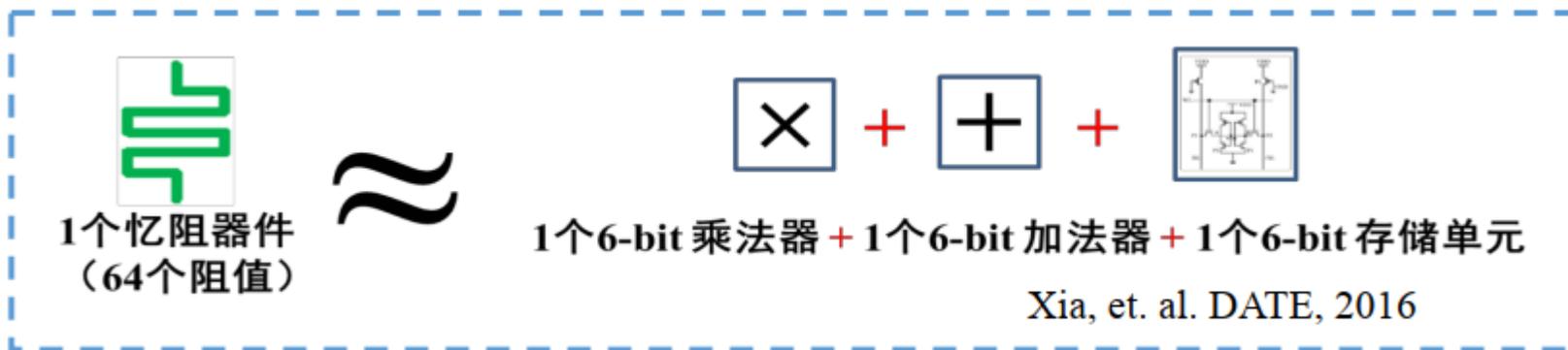
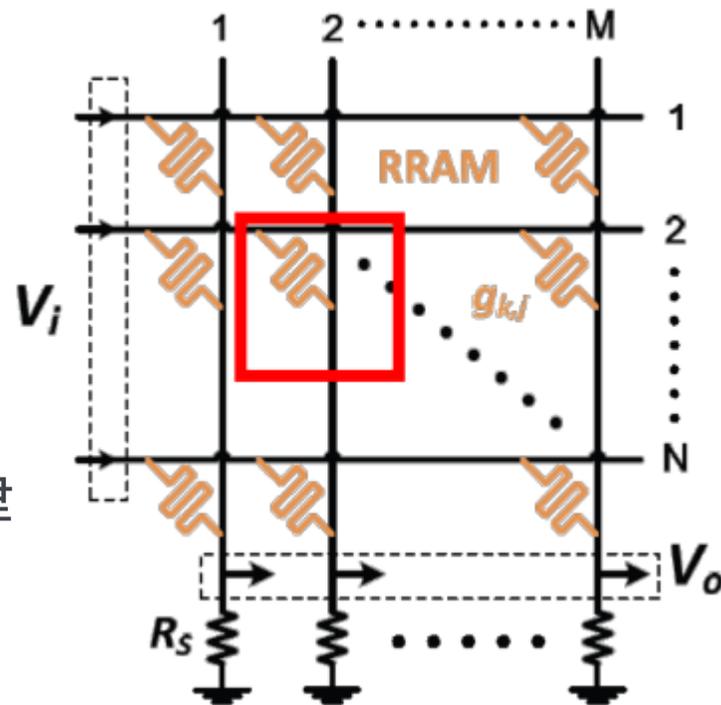
Natural matrix operation

$$[x_1 \ x_2 \ \dots \ x_m] \begin{bmatrix} g_{11} & g_{12} & \dots & g_{1n} \\ g_{21} & g_{22} & \dots & g_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ g_{m1} & g_{m2} & \dots & g_{mn} \end{bmatrix} \parallel [y_1 \ y_2 \ \dots \ y_n]$$

$y_1 = \sum x_i \cdot g_{i1}$

EI lab DAC'12

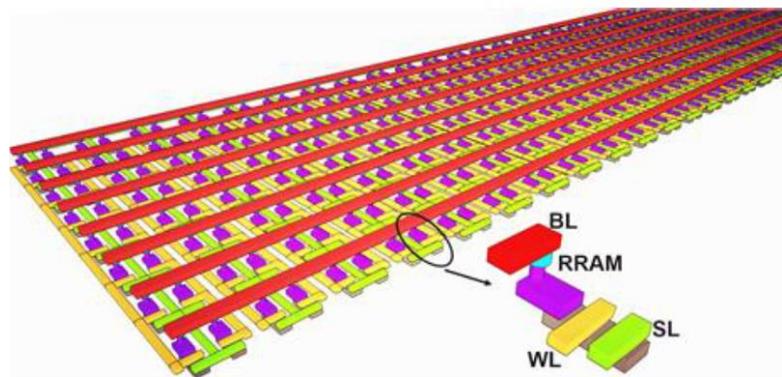
基尔霍夫定律
欧姆定律



忆阻器阵列测试

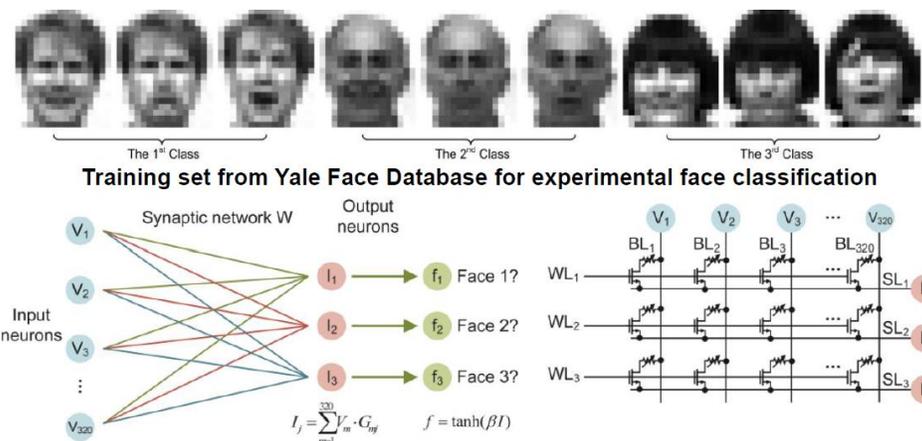
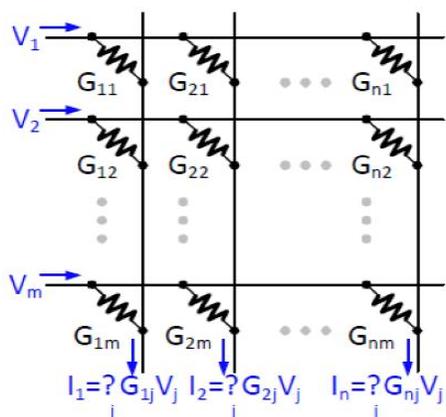
- 对非易失存储器忆阻器阵列

- 存储器单元读写测试
- 保留时间与擦写次数测试
 - 目前无规范，可参阅一般存储器阵列测试方法



- 对神经网络

- 神经网络最基本的操作是在所有WL上同时加不同幅值的电压，同时也在所有BL上读取电流
 - 需要输入多通道的模拟电压值，同时能够多通道同时读取模拟电流值。
 - 目前类似的过程都是靠电路或者FPGA完成的，灵活性差、周期长，不适合研发。
- 通用阵列测试设备将大大提升研发效率



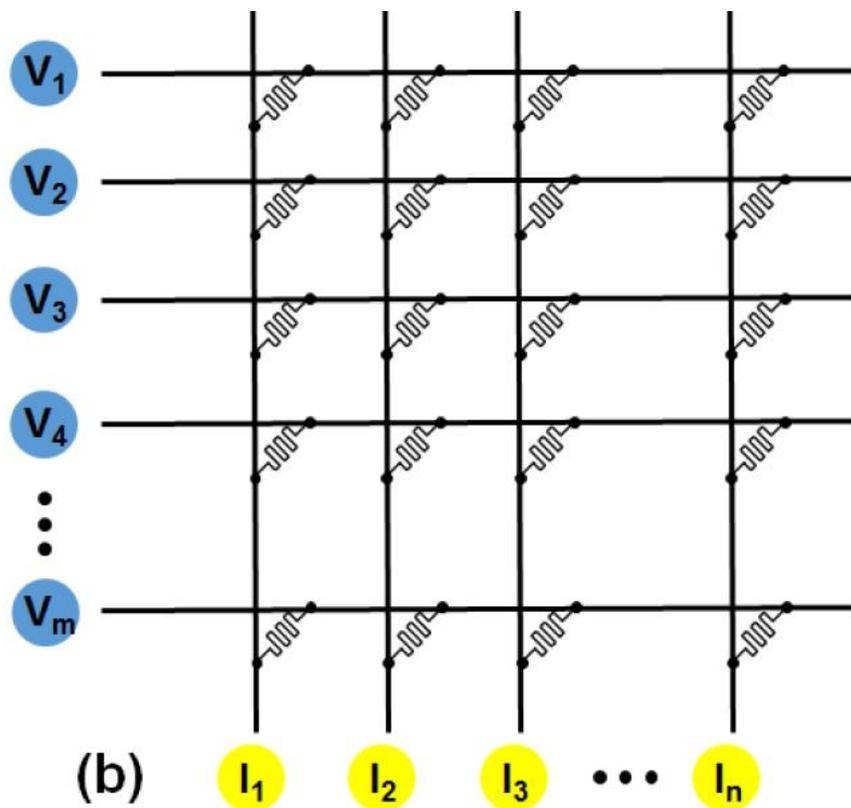
忆阻器阵列测试

两端器件阵列

- 对 $N \times M$ 阵列
 - 通道数 = $N+M$

WL 测试: SMU/PMU 或高速示波器

CH1 CH2 CH3 CHn



CH1

CH2

CH3

CH4

CHm

BL 施加序列:

SMU/PMU

或高速AWG

忆阻器阵列测试

三端器件阵列

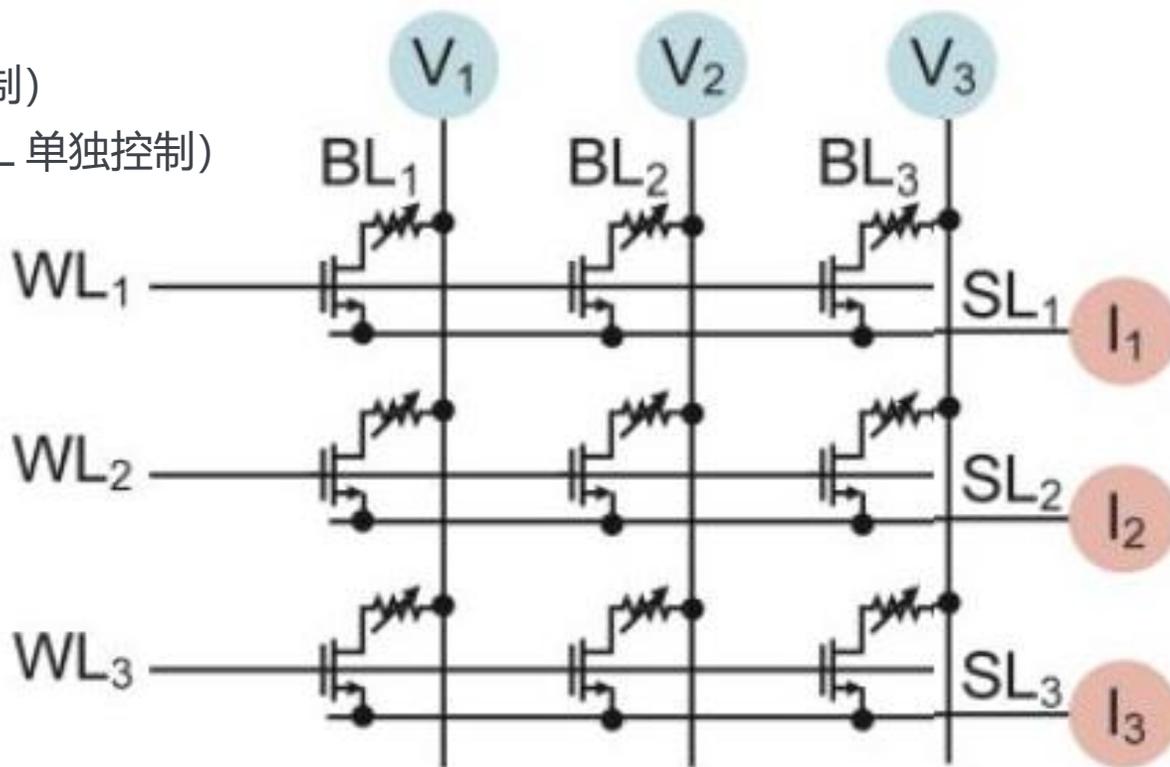
- 对 NxM 阵列

- 通道数

- = $2N+M$ (WL 整行控制)
 - = $N \times M + M$ (各器件 WL 单独控制)

WL 控制	CH1
SMU	CH2
	CH3

BL 施加序列: SMU/PMU 或高速 AWG
CH1 CH2 CH3



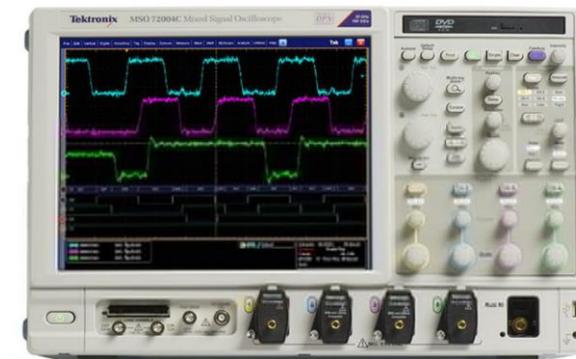
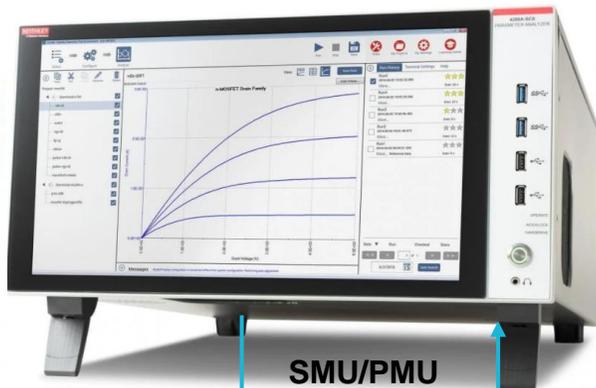
CH1	SL 测试:
CH2	SMU/PMU
CH3	或高速示波器

忆阻器性能及低维阵列研究测试

AC测试
高速脉冲测试
性能测试

DC测试
脉冲测试
性能测试

AC测试
高速脉冲测试
性能测试

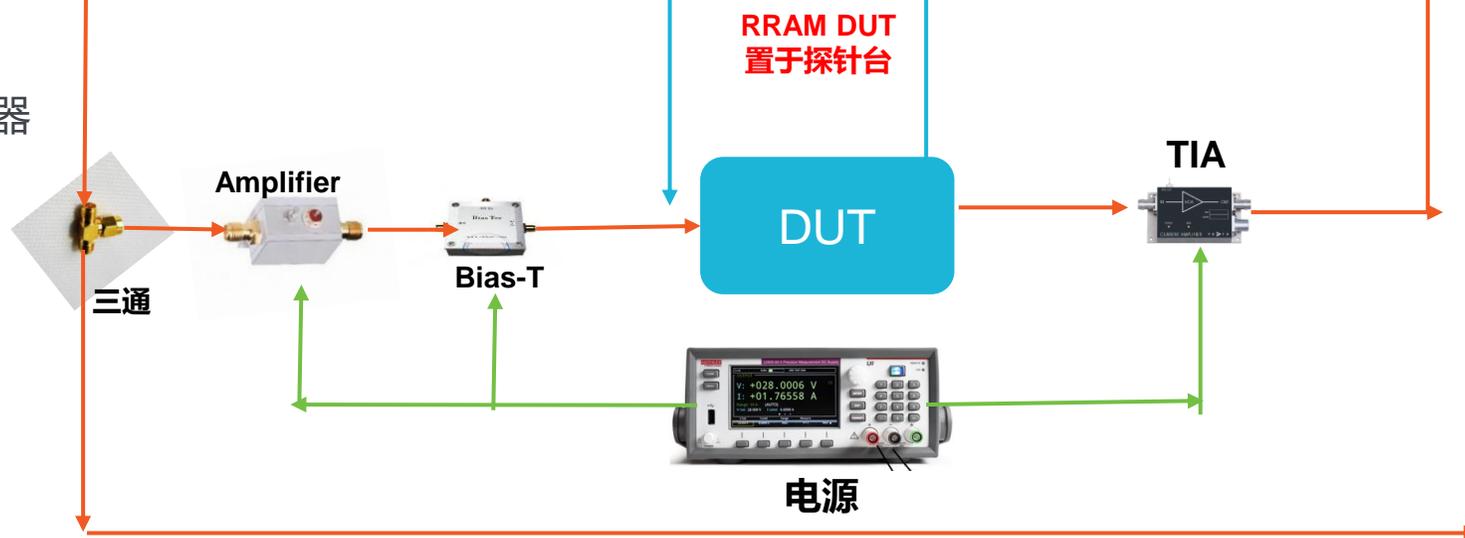


信号源

SMU/PMU

示波器

- 性能测试主体是4200
- 高速性能用AWG和示波器

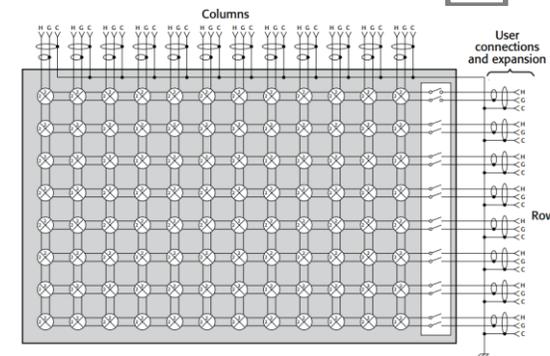
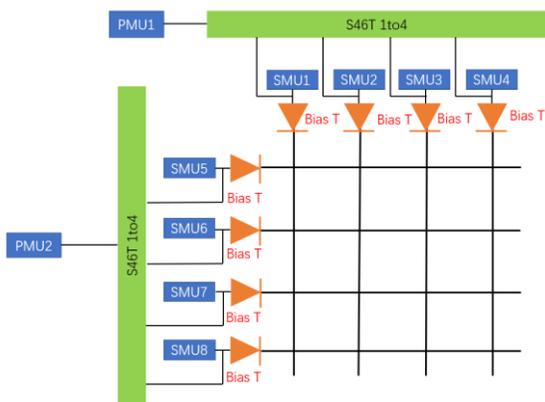
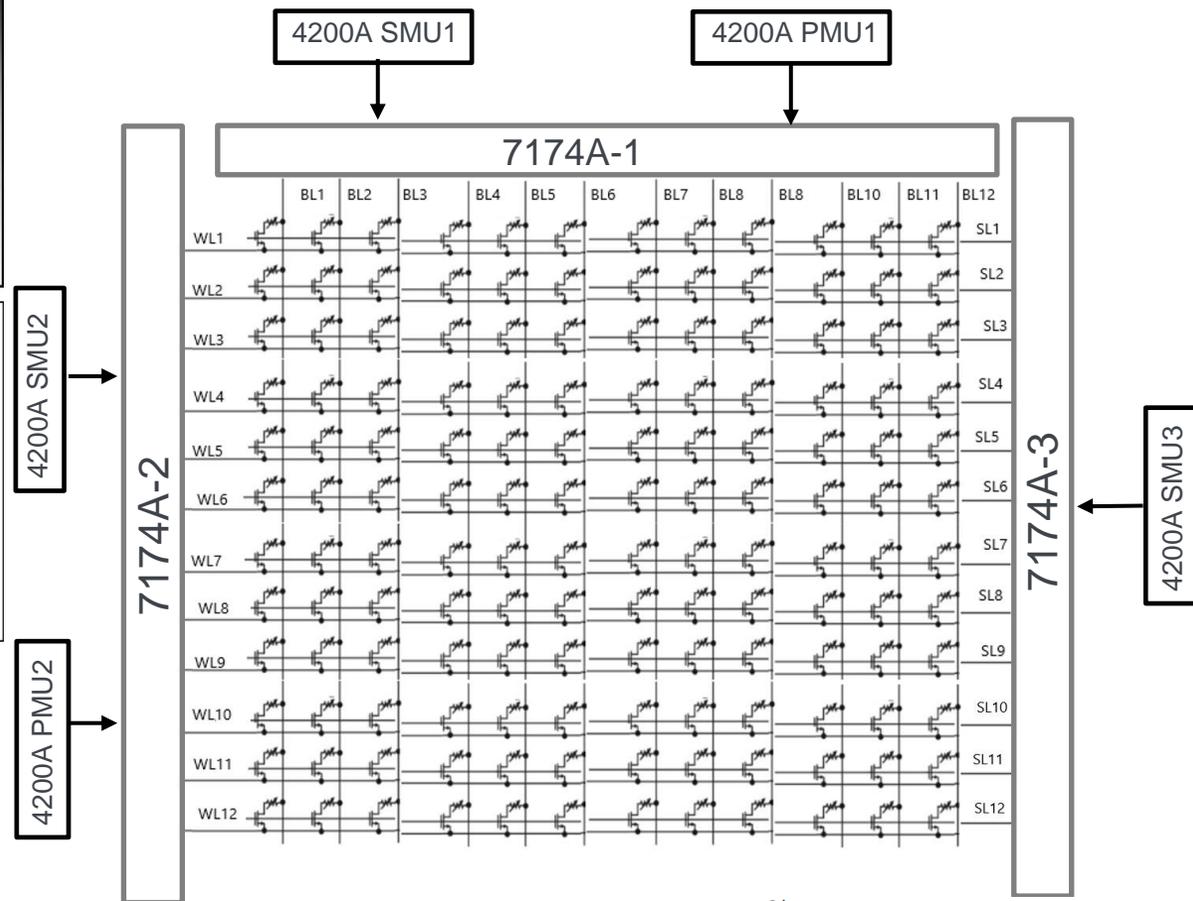


开关轮询阵列测试

- 三端器件 12 X 12 开关轮询
 - 707B 配 7174A 开关卡
 - 8 入 12 出, 无需偏置桥
 - 30M 带宽, 100ns 脉冲 (配合PMU)
 - 单台 707B 支持 6块开关卡, 可支持 24 X 24
 - 可多台 707B 测试更多节点网络
- 脉宽更窄时可以用S46T替代7174
 - 2端3端都适合
 - 最高 8 x 8



Model 707B rear panel



忆阻器阵列测试总结

• 阵列基础研究

◦ 低维阵列测试

- 2X2 (两端或三端器件)
- 3X3 4X4 (两端器件)

◦ 配置简单

- 4200A + 模块

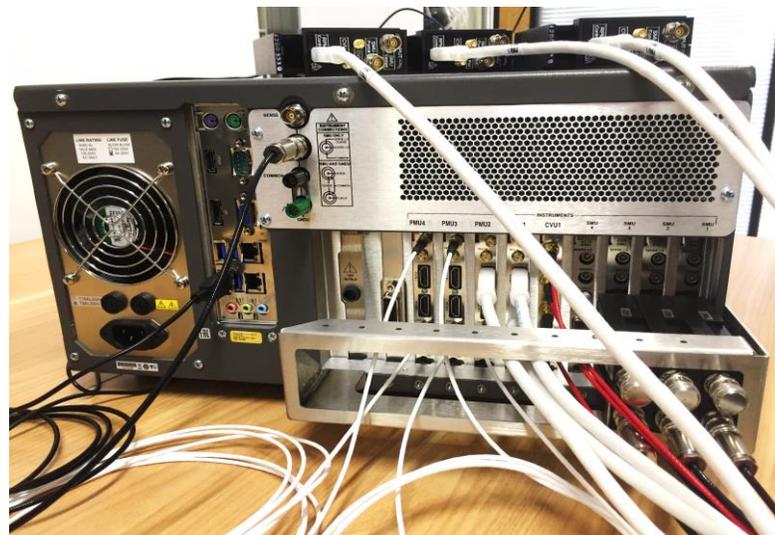
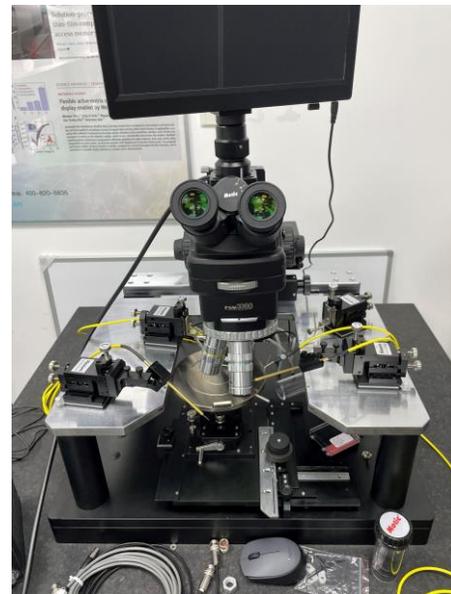
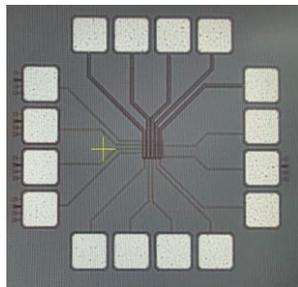
• 复杂阵列研究

◦ 4X4 以上

◦ 脉冲窄 (小于 70ns)

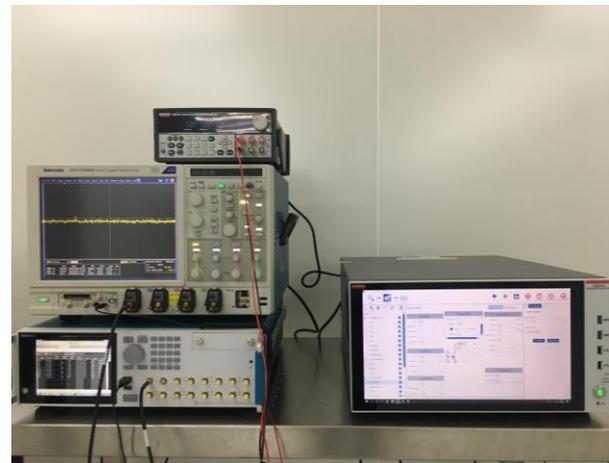
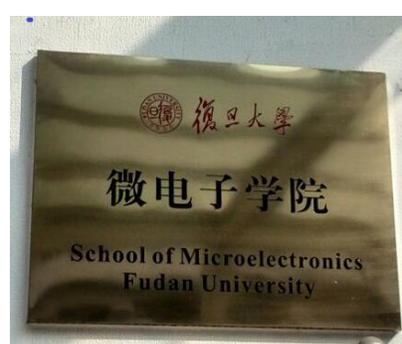
◦ 1T1R/1TNR/1D1R/1S1R 等

◦ 配置复杂, 多数情况需定制



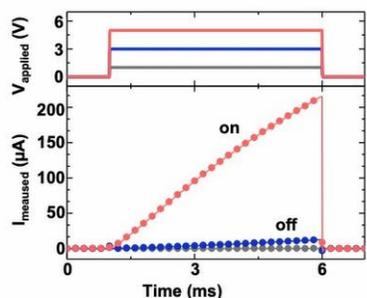
忆阻器/神经网络测试系统的必要性

- 类脑计算及神经形态计算是当今科研热点之一，忆阻器作为神经网络的核心器件，其性能直接影响神经网络的计算能力。我国目前在忆阻器研究领域与国际先进水平尚有差距，需采购先进的忆阻器及神经网络单元测试系统，才能保证科研项目顺利进行。
- 科研成果论文在国际权威期刊上发表，可以体现科研成果的先进性。国际权威期刊上发表的先决条件是论文中的测试结果必须出自权威期刊认可的测试系统，因此必须采购在忆阻器及神经网络单元测试领域有影响力的测试系统，才能保证科研成果顺利发表。
- 忆阻器数据保留测试，循环次数测试及神经元突触阻变动力学测试，测试流程极其复杂，不可能以单台测试仪器手动进行。如果科研人员自行编写测试程序，将耗费大量宝贵的科研时间，因此必须采购已经内置或可以按照客户的要求编写定制化测试程序的测试系统，才能将科研人员从无谓的劳动中解放出来，全身心专注于科研项目本身。
- 国内忆阻器及神经网络科研领域领先的院校具有标杆示范作用，这些院校所购置的忆阻器/神经网络测试系统也是重要的参考依据，只有采购与这些院校相同或者更高配置的测试系统，才能在国内处于领先地位。

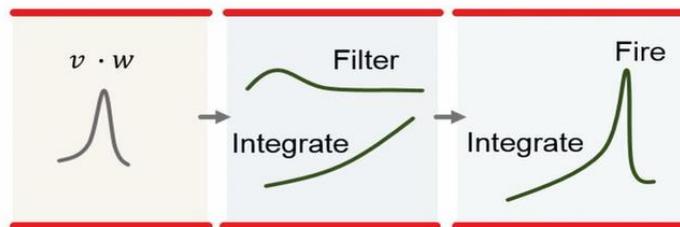
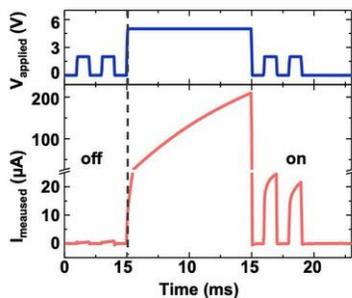


忆阻器（非易失存储器）测试的趋势与展望

- 单器件测试 → **小规模阵列测试** (3*9~12*12规模)
- 低精度校验 → **高精度校验** (频繁的“写-读”循环, 快速AC-DC切换)
- 静态测试 → **动态测试** (在 μA 量级监测 ns 级的电流变化)
- 固化的测试流程 → **灵活多变的测试流程** (与算法相关)
- 连探针 → **连探针卡或面包板**
- ns 级速度 → **ps级速度**

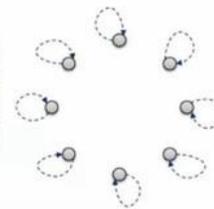
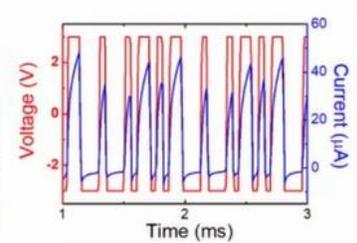
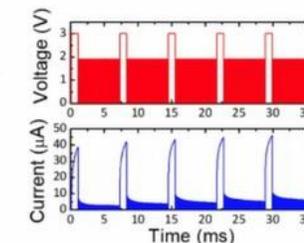
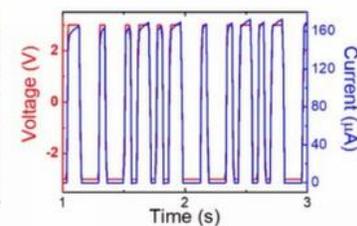
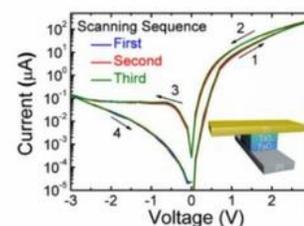


用单个忆阻器模拟电压门控NMDA通道, 实现树突功能



利用**3种不同的忆阻器**分别实现**突触、树突、胞体**的功能, 完善人工神经网络

吴华强, Nature Nanotechnology 2020



基于动态忆阻器的并行储备池计算系统

利用忆阻器的动态特性等效地实现复杂递归网络, 当输入信号的单位时间步长小于器件的特征时间时不同历史时刻的状态之间开始相互耦合

Nature Nano 2020; Nature Comm. 2021

